

TECHNOSUP

Les FILIÈRES TECHNOLOGIQUES des ENSEIGNEMENTS SUPÉRIEURS

COMPUTERS 3

Instruction après instruction

Logique séquentielle,
circuits asynchrones et synchrones

Jean-Jacques MERCIER

ellipses

TABLE des MATIERES

STRUCTURE INTERNE d'un ORDINATEUR

1	Introduction	1
2	Modélisation d'une mémoire	4
2-1	adressage des Données	7
-	immédiat	7
-	direct	8
-	implicite	8
-	indirect	8
-	basé	9
2-2	mémoires multi-bancs	10
3	Traitement des données	11
3-1	opérations arithmétiques et logiques	11
3-1-1	fonctions arithmétiques	11
3-1-2	fonctions logiques	12
3-1-3	unité arithmétique et logique	14
3-2	indicateur d'état	16
3-3	registres accumulateurs	20
3-3-1	décalages logiques	21
3-3-2	décalages arithmétiques	24
4	Cheminement des données	25
4-1	le multiplexage	25
4-2	les bus	27
4-2-1	structure d'un bus	28
4-2-2	arbitrage d'accès au bus	31
5	Adressage matériel des instructions	34
5-1	les adressages	36
-	incrémental	36
-	conditionnel (relatif)	37
-	inconditionnel (absolu)	39
5-2	l'adressage des sous-programmes	40
5-3	l'adressage des interruptions	42
5-3-1	les priorités	44
5-3-2	interruptions masquables et non masquables	45
5-3-4	interruptions internes et externes	46
6	Microprogrammation	54
6-1	micro-instructions horizontales et verticales	57
6-2	structures CISC/RISC	58
7	Conclusions	59
	Exercices corrigés	60

1	Introduction	65
2	Les unités de calculs	65
2-1	modélisation d'un processeur sur nombres flottants	66
2-2	structures particulières	68
	- série	68
	- matricielle	68
	- décimale	69
2-3	structures pipe-line	73
2-3-1	conditions structurelles	74
2-3-2	linéarité des programmes	76
2-3-3	dépendance séquentielle des données	77
2-4	structures super-scalaire	78
3	Les mémoires	79
3-1	organisation des mémoires	79
3-1-1	structures linéaires	80
3-1-2	structures matricielles	81
3-2	temps d'accès à une mémoire	82
3-2-1	les mémoires RAM statiques	82
3-2-2	les mémoires RAM dynamiques	82
3-2-3	les mémoires flash	83
4	Hierarchie des mémoires	83
	- historique – l'overlay	83
4-1	accélérations structurelles	84
4-1-1	mémoires caches/antémémoires	84
	- adressage associatif	85
	- adressage direct	85
	- adressage mixte	85
4-1-2	accès direct mémoire	87
4-2	accélérations fonctionnelles	88
4-2-1	la mémoire virtuelle	88
4-2-2	la pagination	89
4-2-3	la segmentation	92
5	Conclusions	93
	Exercices corrigés	94

Chapitre III

OPERATEURS SPECIAUX

1	Introduction	99
2	principes fondamentaux	100
	- organisation temporelle d'un calcul	101
3	additionneurs classiques synchrones	102
3-1	additionneur par ruissellement de retenue (<i>ripple carry adder</i>)	102
3-2	additionneurs à conservation de retenue (<i>carry save adder</i>)	102
	- additionneur à conservation de retenue série	104
3-3	additionneur conditionnel multiplexé (<i>carry select adder</i>)	105
4	équations fondamentales	106
4-1	additionneur à retenue bondissante (<i>carry skip adder</i>)	106
4-2	anticipateur de retenue (<i>carry lookahead generator</i>)	108
4-3	additionneurs systoliques	111
4-3-1	cellule de Brent et Kung	111
4-3-2	additionneurs à préfixes	114
4-3-2-1	additionneur de Sklansky	114
4-3-2-2	additionneur de Brent et Kung	114
4-3-2-3	autres additionneurs réguliers	115
5	additionneurs asynchrones (<i>variable time adder</i>)	116
5-1	additionneur 'mono-rail'	116
5-2	additionneur 'double rail'	118
6	multiplieurs rapides	120
6-1	multiplieur à retenues ruisselantes (<i>réseau de Braun</i>)	120
6-2	produits partiels –codage de booth	121
	- codage de Booth (skipping over 1's)	121
	- codage de Booth par paire (bit pair recoding)	122
6-3	synthèse physique se l'algorithme de Booth	124
6-4	réduction des produits partiels –arbres de Wallace	127
7	diviseurs	130
	- division avec restauration des restes partiels	130
8	ordinateurs sans horloge – opérateurs asynchrones	133
8-1	protocoles de communication	134
8-2	variables double rail	135
9	cellule de Muller	138
10	conclusions	141
	exercices corrigés	142
	annexes	149