

ARCHITECTURE DES ORDINATEURS

Logique booléenne :
implémentations et technologies

Philippe Darche

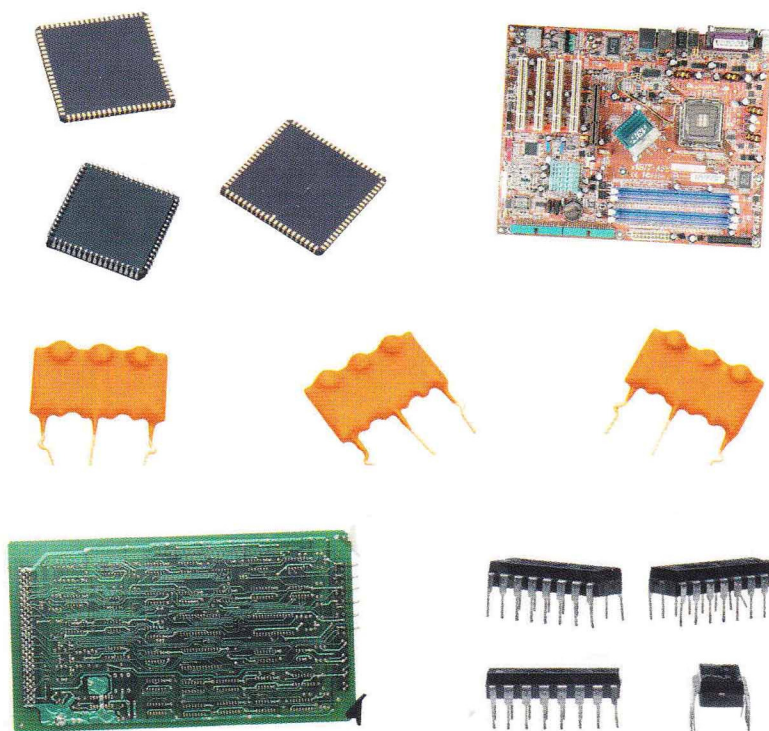


Table des matières

Avant-propos	XIII
Introduction	XV

Chapitre 1

Caractérisation d'un signal électrique logique. I

1.1 Généralités	I
1.2 Caractéristiques électriques d'un signal logique binaire	5
1.3 Caractéristiques temporelles	8
1.4 Notion de quadripôle	12
1.5 Conclusion	13
1.6 Exercices	13
1.7 Références bibliographiques	16

Chapitre 2

Implémentations matérielles de la logique binaire.

Électronique numérique 19

2.1 Implémentation physique	19
2.1.1 Implémentation à base d'interrupteurs	25
La porte ET	27
La porte OU	28
La porte inverseuse	29
La porte NON ET	29
La porte NON OU	30
La porte OU exclusif	31
2.1.2 Logique à relais	32
2.1.3 Les logiques à semi-conducteurs	34
Logique à diodes	34

	Logique à transistors	38
2.1.4	Logiques positive et négative	44
2.2	Caractérisation d'une famille logique	46
2.2.1	Caractéristiques électriques générales d'une famille logique	46
	Caractéristiques statiques en tension	47
	Caractéristiques statiques en courant	51
	L'unité de charge	52
	Courbes caractéristiques	53
	Autres caractéristiques électriques	53
	Modélisation	54
	Caractéristiques analogiques	57
2.2.2	Caractéristiques temporelles	57
	Caractéristiques temporelles communes	58
	Caractéristiques temporelles des bascules	59
	Remarques	60
2.2.3	Caractéristiques mécaniques	60
2.2.4	Caractéristiques diverses	60
2.2.5	Remarques	61
2.2.6	Définition d'une famille logique performante	61
2.2.7	Les différentes familles	61
2.3	Les familles bipolaires	62
2.3.1	Les ancêtres de la famille bipolaire	62
	La famille RTL	63
	La famille RCTL	64
	La famille DTL	65
	La famille DCTL	66
	Synthèse	66
2.3.2	Les logiques à transistor saturé	67
	La famille TTL et ses dérivées	67
	La logique I ² L ou MTL	77
2.3.3	Les logiques à transistor non saturé	78
	La logique ECL	79
	Les familles MECL I et MECL II	82
	La famille MECL III	83
	La famille MECL 10K	84
	La famille MECL 10KH	85
	Les familles ECLinPS	86
	Les familles ECL 100K et 101KH	89
	Synthèse	89
2.3.4	Remarque	90
2.4	Les familles MOS	91
2.4.1	Caractéristiques générales	91

	L'entrée	91
	La sortie	92
	Remarque	94
2.4.2	La série C-MOS 4000	95
	Caractéristiques techniques	95
2.4.3	La logique 74C	101
2.4.4	La logique 74SC	101
2.4.5	Les familles HCMOS	102
	La logique 74HC	102
	La logique 74HCT	103
	La logique 74AHC	104
	La logique 74AHCT	105
	La logique ACL	105
	La famille FCT	110
2.4.6	Synthèse	110
2.5	Les familles mixtes	112
2.5.1	Caractéristiques générales	112
2.5.2	La famille BC	114
2.5.3	La famille ABT	116
2.5.4	Les familles spécialisées des bus rapides	118
	Les familles GTL	119
	La famille BTL	119
	La famille ETL	120
	Synthèse	121
2.6	Les familles à faible tension d'alimentation	122
2.6.1	Caractéristiques normalisées	123
2.6.2	La famille Low-Voltage HCMOS (LV-HCMOS)	126
2.6.3	La famille Low-Voltage CMOS (LVC)	128
2.6.4	La famille HLL CMOS	131
2.6.5	La famille Low-Voltage Technology (LVT)	133
2.6.6	La famille Advanced Low-Voltage CMOS (ALVC)	136
2.7	Synthèse	139
2.8	Conclusion	144
2.9	Exercices	145
2.10	Références bibliographiques	148

Chapitre 3

La technologie des composants de la logique 157

3.1	Le standard IEEE Std 91-1984	157
-----	------------------------------	-----

3.1.1	Généralités	158
3.1.2	Les symboles graphiques des entrées et des sorties	162
3.1.3	Les symboles de dépendance	165
	La dépendance de fonction ET (G)	166
	La dépendance de fonction OU (V)	167
	La dépendance de négation (N)	168
	La dépendance d'interconnexion (Z)	168
	La dépendance de transmission (X)	168
	La dépendance de contrôle (C)	169
	Les dépendances de mise à 0 et à 1 (S et R)	169
	La dépendance de validation (EN)	170
	La dépendance de mode (M)	170
	La dépendance d'adresse (A)	170
3.1.4	Synthèse	170
3.2	La feuille de caractéristiques	171
3.3	L'encapsulation	174
3.3.1	Les grandes familles	174
	Les boîtiers à contacts traversants	175
	Les boîtiers montés en surface	177
3.3.2	Caractéristiques techniques	180
3.4	Quelques opérateurs particuliers	181
3.4.1	Le tampon électronique	182
3.4.2	Le tampon électronique bidirectionnel	184
3.4.3	Le trigger de Schmitt	186
3.4.4	L'astable et le monostable	187
3.4.5	Les opérateurs câblés	189
3.4.6	Les portes extensibles	190
3.5	Les problèmes « classiques » de la logique	190
3.5.1	Le latch-up	191
3.5.2	La métastabilité	192
3.5.3	Les décalages temporels entre signaux	193
3.6	Les problèmes spécifiques de la logique rapide	203
3.6.1	Propagation d'un signal dans une ligne de transmission	203
3.6.2	Les dépassements d'amplitude d'un signal	204
3.6.3	La diaphonie	207
3.7	La réduction de la consommation électrique	208
3.8	Les méthodes d'interfaçage	211
3.8.1	L'association de la logique et de la puissance	211
3.8.2	La compatibilité entre familles logiques	212

3.9	Le test d'un opérateur logique	214
3.10	Conclusion	215
3.11	Exercices	216
3.12	Références bibliographiques	222

Chapitre 4

Introduction à la logique programmable 225

4.1	Généralités	226
4.2	Les PLD de faible densité : les SPLD	229
4.2.1	Circuits programmables à base de mémoire	236
4.2.2	Le PAL	238
4.2.3	Le (F)PLA	240
4.2.4	Synthèse	241
4.3	Les PLD de moyenne et haute densités	242
4.3.1	Le CPLD	242
4.3.2	Le FPGA	243
	Mémorisation	247
	Caractéristiques	248
4.3.3	Comparaisons des deux approches	249
4.4	La chaîne de développement	249
4.5	Caractéristiques communes	253
4.6	Critères de choix d'une famille et conclusion	254
4.7	Exercices	257
4.8	Références bibliographiques	257

Conclusions et perspectives 259

Annexe

Exemple de feuille de caractéristiques (SN74ALS00A, Texas Instruments) 263

Abréviations 271

Index 281